

計器用変成器用電子式負担装置 DAC-PBVC-8

ELECTRONIC BURDEN FOR INSTRUMENT TRANSFORMER



本装置は計器用変成器(VT・CT)の誤差試験用に開発された電子式負担装置です。テンキーにより負担や力率などの設定が容易にできます。USBインタフェースを装備していますので変成器誤差試験装置(DAC-VCTT-8)とパソコンによる自動試験システムにも対応できます。

■特徴

- VT・CT兼用器です。
- 理想的な低負担(零負担)設定が可能です。
- 本体単体で最大100VA、最小0.001ステップで設定ができます。
- 2端子接続時のリード線補償ができます。
- 最大100点分の試験条件を登録する事ができます。

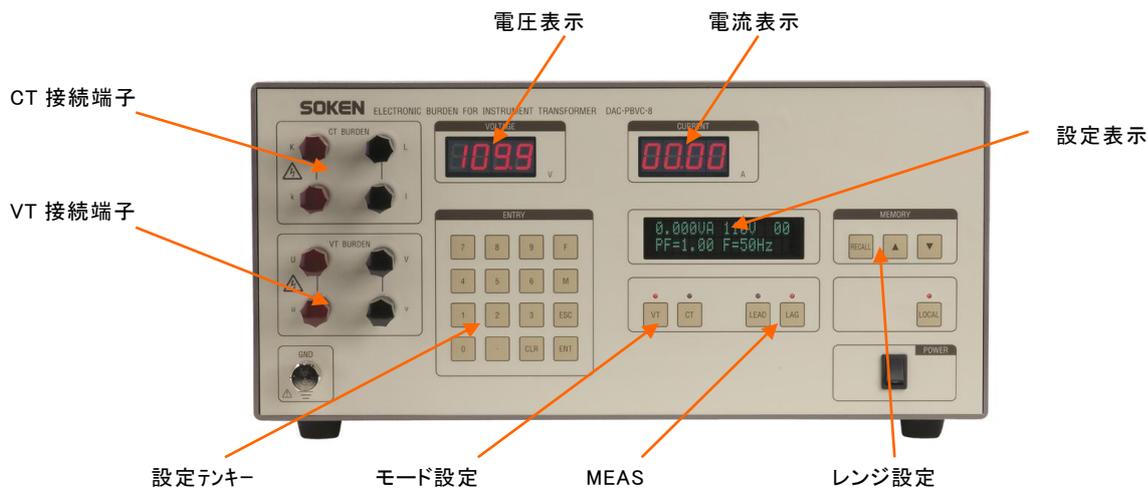
計器用変成器用電子式負担装置 DAC-PBVC-8

ELECTRONIC BURDEN

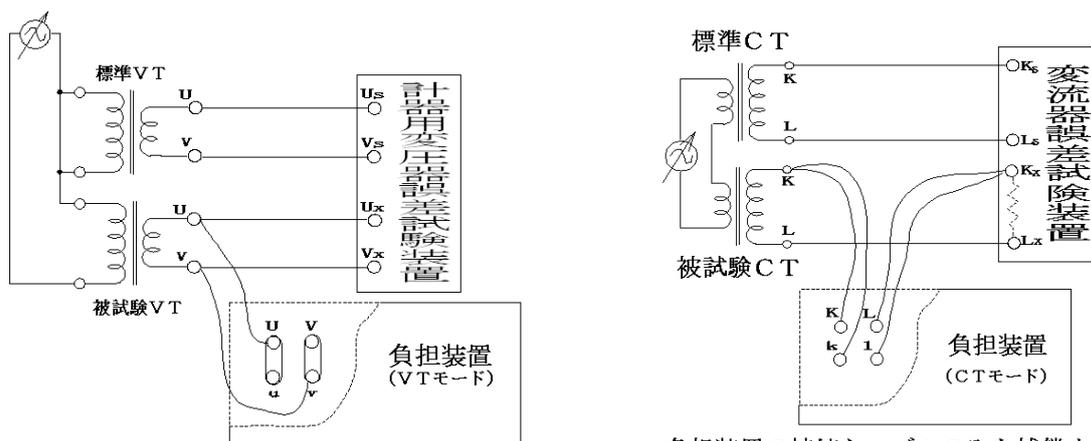
仕様

- 定格二次電圧 : VTモード 110/√3V、110V
- 定格二次電流 : CTモード 1A、5A
- 測定電圧 : VTモード 定格の2~120%
CTモード 定格の1~120%
- 負担力率 : 遅れ0.20~1~進み0.80 ※進み時負担設定max25VA
- 設定負担VA : 0.000~100.0VA
- リード線補償 : CTモード0~1.000Ω
- 負担設定確度 : ±4%
※定格の1/10以下は±10%
- インタフェース : USB(2.0/1.1) ※ご要望によりGP-IBも可能
- 周波数 : 50、60Hz
- 入力電源 : AC100V~240V±10% 50/60Hz
- 消費電力 : 約150VA
- 使用環境 : 温度5~35℃ 湿度35~80% ※非結露
- 電圧・電流計確度 : ±(3%rdg+3digits)
- 寸法・質量 : W430×H200×D450(mm) 約26kg

パネル説明



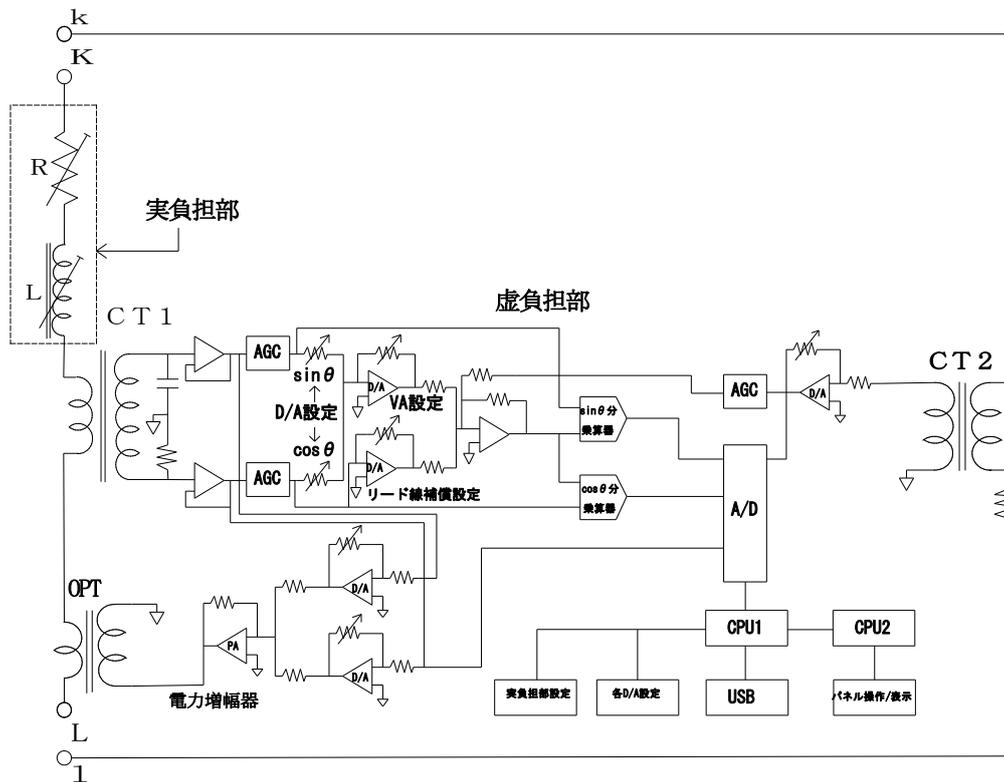
結線図



負担装置の接続ケーブルのみを補償する場合

機能説明

抵抗とリアクタンスの組み合わせで作る〔実負担〕方式と、電子回路で作る〔見せ掛けの負担〕方式の利点を組み合わせた負担装置(特許第3162307号)です。実負担方式では実現困難であった無限分解能による自動設定ができます。小容量の電子負担で大容量負担装置ができる為、全電子式に比べ、小型・軽量にできます。又、制御容量の比率が小さくなる為安定な負担となります。



本体基本構成図

上記構成図において、点線で囲まれた部分が抵抗(R)とリアクトリル(L)による実負担部と一点鎖線で囲まれた実負担部以外の部分が電子負担(虚負担部)で、両部は一体化され筐体に収納されています。

負担設定を行うと電力増幅幅の出力が最小になる様な抵抗とリアクタンスをCPUで演算して自動的に選択し、設定します。この事により、小さな電力損失で大容量の負担を無限分解能で設定できるようになっています。又、変流器用負担装置に一般的に使用される四端子法とは異なり、本装置では被試験変流器と負担装置の間に介在する電圧降下を別に検出し加算する方式を採用していますので理想的な負担設定が可能となります。

